

## FIELD EFFECT TRANSISTOR

Publication number: JP11251334

Publication date: 1999-09-17

Inventor: YOSHIDA JIYUNJI; NOMURA TAKEHIKO

Applicant: FURUKAWA ELECTRIC CO LTD

Classification:

- International: H01L29/06; H01L21/203; H01L21/338; H01L29/15;  
H01L29/778; H01L29/812; H01L21/02; H01L29/02;  
H01L29/66; (IPC1-7): H01L21/338; H01L21/203;  
H01L29/06; H01L29/778; H01L29/812

- European: Y01N4/00; Y01N6/00

Application number: JP19980054932 19980306

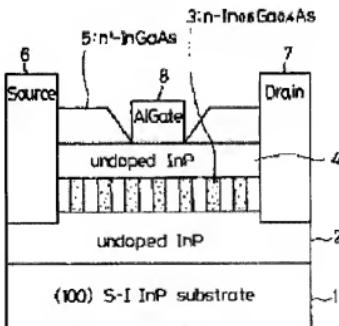
Priority number(s): JP19980054932 19980306

[Report a data error here](#)

### Abstract of JP11251334

PROBLEM TO BE SOLVED: To increase electron mobility and make frequency excellent characteristic, by a method wherein an InGaAs quantum fine wire formed self-structurally and naturally is made as a channel layer.

SOLUTION: A (GaAs)1.5 /(InAs)1.5 short cycle super-lattice is crystal-grown and realized as an InGaAs quantum fine wire formed self-structurally and naturally. On an n-In0.4 Ga0.6 As quantum fine wire channel layer 3, via a Schottky contact layer 4 composed of non-doped InP, an n-InGaAs cap layer 5 of a thickness 20 nm is formed. A side part of a semiconductor multilayer film is removed until reaching a semi-insulation InP substrate 1. A source electrode 6 and a drain electrode 7 are formed and annealed, and are brought into contact with the n-In0.4 Ga0.6 As quantum fine wire channel layer 3. By use of lithography technique, the n-InGaAs cap layer 5 is partially recess-etched to set a gate region.



## **Family list**

**1** family member for: **JP11251334**

Derived from 1 application

[Back to JP1125](#)

## 1 FIELD EFFECT TRANSISTOR

**Inventor:** YOSHIDA JIYUNJI; NOMURA TAKEHIKO  
**EC:** Y01N6/00

**Applicant:** FURUKAWA ELECTRIC CO LTD  
**IPC:** H01L29/06; H01L21/203; H01L21/338

(+11)  
Publication info: JP11251334 A - 1999-09-17

Data supplied from the [esp@cenet](mailto:esp@cenet) database - Worldwide

(19) 日本国特許庁 (JP)

## (12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-251334

(43) 公開日 平成11年(1999)9月17日

(51) Int.Cl. <sup>6</sup>	識別記号	F I
H 01 L 21/338		H 01 L 29/80
29/812		21/203
21/203		29/06
29/06		29/80
29/778		H

審査請求 未請求 請求項の数3 O.L. (全5頁)

(21) 出願番号 特願平10-54932

(71) 出願人 000003200

古河電気工業株式会社

東京都千代田区丸の内2丁目6番1号

(22) 出願日 平成10年(1998)3月6日

(72) 発明者 吉田 順吉

東京都千代田区丸の内2丁目6番1号 古  
河電気工業株式会社内

(72) 発明者 野村 剛彦

東京都千代田区丸の内2丁目6番1号 古  
河電気工業株式会社内

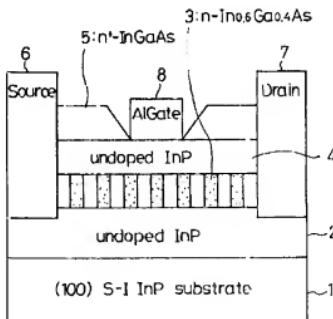
(74) 代理人 弁理士 長門 侃二

## (54) 【発明の名称】 電界効果トランジスタ

## (57) 【要約】

【課題】 チャネル層における電子移動度が大きく、しかも周波数特性の優れた高性能な電界効果トランジスタを提供する。

【解決手段】 InP基板上に(GaAs)<sub>n</sub>/(InAs)<sub>m</sub>超格子を結晶成長させた際に自己組織的に自然形成されるInGaAs量子細線をチャネル層として用いる。特に(GaAs)<sub>n</sub>/(InAs)<sub>m</sub>超格子の構成比m, nを[1.0 < m < 1.8], [1.0 < n < 1.8]とし、自己組織的に形成されるInGaAs量子細線の線幅を5~15 nm、またその層厚を5~15 nmとする。更にInGaAs量子細線におけるGaの組成を20~45%とする。



## 【特許請求の範囲】

【請求項1】 InP基板上に(GaAs)<sub>n</sub>/(InAs)<sub>m</sub>超格子を結晶成長させてなり、この(GaAs)<sub>n</sub>/(InAs)<sub>m</sub>超格子の結晶成長時に自己組織的に形成されるInGaAs量子細線をチャネル層としてなることを特徴とする電界効果トランジスタ。

【請求項2】 前記InP基板上に結晶成長させる(GaAs)<sub>n</sub>/(InAs)<sub>m</sub>超格子の構成比m, nは[1.0 < m < 1.8], [1.0 < n < 1.8]であって、

自己組織的に形成されるInGaAs量子細線の線幅が5~15nm, 層厚が5~15nmであることを特徴とする請求項1に記載の電界効果トランジスタ。

【請求項3】 前記InGaAs量子細線におけるGaの組成が20~45%であることを特徴とする請求項1に記載の電界効果トランジスタ。

【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、例えば超高速大容量通信を実現する上で用いられる電子デバイスとして好適な高性能な電界効果トランジスタに関する。

## 【0002】

【関連する背景技術】近時、光ファイバを用いた超高速大容量通信システムが注目されているが、そのシステムの処理速度は、光信号から変換される電気信号を処理する電子デバイスの応答速度で制限されているのが現実である。この為、電子デバイスの高性能化を図るべく種々の検討・研究がなされている。中でもII-V族化合物半導体における電子の移動度がSiよりも格段に早いことから、上記II-V族化合物半導体を用いた電解効果トランジスタ(FET)や高電子移動度トランジスタ(HEMT)の開発が盛んに進められている。

【0003】 例えばFETの高性能化を図るべくアプローチとして、材料系に関する観点と素子構造的観点との両面から検討が進められている。特に材料系について電子移動度を増加させるべく、チャネル層にInGaAsを用いたGaAs-FETの開発が進められている。また構造的な観点からは、チャネル層を量子細線構造化することで電子移動度を増加させることが考えられている。

## 【0004】

【発明が解決しようとする課題】しかしながらGaAs-FETにおけるInGaAsからなるチャネル層は、GaAs基板上に結晶成長させて形成される格子不整合系であるので、チャネル層の厚みが、その結晶性を良好に維持することのできる界面膜厚により制限されると言う問題がある。またチャネル層を量子細線構造化した場合、計算によれば電子移動度を2倍に増加させることができはあるが、現在のリソグラフィによる半導体製造技術においては量子細線幅の揺らぎのため、細線の均一性を確保しながら、キャリアの横方向閉じ込め効果が現れる15nm以下の線幅を実現することが困難である。

【0005】 ちなみに量子細線構造のチャネル層を実現する手法として、例えばGaAs基板上にInGaP層を結晶成長させる際、In原子とGa原子とが[111]方向に規則的に配列する自然超格子を利用する考えられる。しかしながら自然超格子が生じる周期は0.65~0.79nm程度であり、電子波がInP層に隣接してそのバリアとなるGaP層にまで拡がるので十分な量子細線効果を得ることができないと言う問題がある。

【0006】 本発明はこのような事情を考慮してなされたもので、その目的は、チャネル層における電子移動度が大きく、しかも周波数特性の優れた高性能な電界効果トランジスタを提供することにある。特に本発明は、チャネル層における電子移動度の高移動化を図ることで動作特性を向上させ、特に遮断周波数および最大発振周波数を大幅に改善した高性能な電界効果トランジスタを実現することを目的としている。

## 【0007】

【課題を解決するための手段】上述した目的を達成するべく本発明は、InP基板上にGaAsとInAsとからなる厚さ5nmの(GaAs)<sub>n</sub>/(InAs)<sub>m</sub>短周期超格子を、例えばMBE(分子線エビタキシー)法により積層形成した場合、周期20nmで組成変調が生じてInGaAs量子細線が自己組織的に自然形成されること、またGaAsのInPに対する格子不整合度が-3.7%と大きく、上記(GaAs)<sub>n</sub>/(InAs)<sub>m</sub>短周期超格子の初期成長過程においてGaAsの[01-1]方向に生じる長い島状のInGaAsが量子細線の自然形成の核になることに着目してなされている。

【0008】 更に本発明は、InAsのInPに対する格子不整合度は3.2%であるが、(GaAs)<sub>n</sub>/(InAs)<sub>m</sub>短周期超格子から見た場合、この(GaAs)<sub>n</sub>/(InAs)<sub>m</sub>短周期超格子が上記InPに対して格子整合した歪補償型の超格子となっており、従って(GaAs)<sub>n</sub>/(InAs)<sub>m</sub>短周期超格子の結晶成長時に自己組織的に形成されるInGaAs量子細線をチャネル層とすれば、界面膜厚の制限を受けることなしにチャネル層の厚みを設定することができます。

【0009】 そこで本発明に係る電解効果トランジスタは、InP基板上に(GaAs)<sub>n</sub>/(InAs)<sub>m</sub>超格子を結晶成長させた際に自己組織的に自然形成されるInGaAs量子細線をチャネル層としたことを特徴としている。また本発明の好ましい態様として、請求項2に記載するようにInP基板上に結晶成長させる(GaAs)<sub>n</sub>/(InAs)<sub>m</sub>超格子を構成するmとnの値(構成比)を[1.0 < m < 1.8], [1.0 < n < 1.8]とし、自己組織的に形成されるInGaAs量子細線の線幅を5~15nm、またその層厚を5~15nmとしたことを特徴としている。更に請求項3に記載するように、前記InGaAs量子細線におけるGaの組成を20~45%としたことを特徴としている。

## 【0010】

【発明の実施の形態】以下、図面を参照して本発明の一実施形態に係る電界効果トランジスタ（FET）について説明する。図1はこの実施形態に係る電界効果トランジスタの概略的な素子構造を示す図で、1は結晶画が（110）の半絶縁性InP基板であり、2はこの半絶縁性InP基板1上に形成した厚み500nmからなるノンドープのInPバッファ層である。このInPバッファ層2上に、例えば厚み15nmのn-In<sub>0.4</sub>Ga<sub>0.6</sub>As量子細線チャネル層3が形成される。このn-In<sub>0.4</sub>Ga<sub>0.6</sub>As量子細線チャネル層3は、例えば（GaAs）<sub>1.5</sub>/（InAs）<sub>1.5</sub>短周期超格子を結晶成長させた際に自己組織的に自然形成されるInGaAs量子細線として表現される。しかして上記n-In<sub>0.4</sub>Ga<sub>0.6</sub>As量子細線チャネル層3上にはノンドープのInPからなるショットキーコンタクト層4を介して厚み20nmのn-InGaAsキャップ層5が形成される。

【0011】ちなみに上記各層2,3,4,5は、分子線エビタキシー（MBE）法を用いて前記半絶縁性InP基板1上に膜厚制御しながら順にエビタキシャル成長させることで積層される。但し、化学線エビタキシー（CBE）法や有機金属気相成長（MOCVD）法等を用いて前記各層2,3,4,5を積層形態することも勿論可能である。

【0012】かかる後、リソグラフィー技術等を用いて前記各層2,3,4,5からなる半導体多層膜の側部を半絶縁性InP基板1に達するまで除去した後、当該領域にソース電極6およびドレイン電極7をそれぞれ形成し、これをアーニール処理することで上記ソース電極6およびドレイン電極7を前記n-In<sub>0.4</sub>Ga<sub>0.6</sub>As量子細線チャネル層3とコンタクトさせる。次いで再びリソグラフィー技術等を用いて前記n-InGaAsキャップ層5を部分的にリセスエッチングし、ゲート領域を設定する。そしてリセスエッチングによって露出されたとInPショットキーコンタクト層4上に、例えばAlをゲート電極8として蒸着形成する。以上の処理工程の後、前記各電極6,7,8にそれぞれ電極配線を施すことによって電界効果トランジスタが完成される。尚、上記素子構造の電界効果トランジスタにおけるゲート長は、例えば1.5μmに設定される。

【0013】ちなみに上述した如くして製作され、n-In<sub>0.4</sub>Ga<sub>0.6</sub>As量子細線層をチャネル層3とした電界効果トランジスタの静特性を確認したところ、ゲート長が1.5μmの素子においてその相互コンダクタンスg<sub>mb</sub>が最大4000mS/mmである、同じゲート長を持つ従来一般的なInGaAsチャネルタイプの電界効果トランジスタに比較して略2倍の高い値であった。

【0014】ここで前述したn-In<sub>0.4</sub>Ga<sub>0.6</sub>As量子細線チャネル層3について今少し詳しく説明すると、本発明においては半絶縁性のInP基板1上にInPバッファ

層2を介して結晶成長させる（GaAs）<sub>n</sub>/（InAs）<sub>m</sub>超格子の構成比m, nを[m<0.5], [n<0.5]の小さな値（小数値）として選ぶことにより上記（GaAs）<sub>n</sub>/（InAs）<sub>m</sub>超格子の結晶成長時に自己組織的に自然形成されるInGaAs量子細線の幅を5nm～20nmの範囲で、また該InGaAs量子細線におけるGaの組成を0～45%の範囲で制御するようしている。特にInGaAs量子細線形状の均一性とその結晶性は、（GaAs）<sub>n</sub>/（InAs）<sub>m</sub>超格子の構成比m, nの値に大きく依存する。

【0015】例えばInGaAs量子細線層の厚みを12nm以上とするべく上記（GaAs）<sub>n</sub>/（InAs）<sub>m</sub>超格子の構成比m, nを[1.8<m], [1.8<n]とした場合、格子歪に起因する欠陥によりその結晶性を良好に保つことが困難となる。ちなみにこの結晶性は、例えばポトムミオセンス（PL）を用いて評価することができる。従って上記構成比m, nを[1.8<m], [1.8<n]とすると、InGaAs量子細線層の厚みに対する設計マージンを確保すること自体が困難となる。

【0016】また上記構成比m, nを[n≤1.0], [n≤1.0]とすると、InGaAs量子細線層における基底準位と第2準位とのエネルギー差が、量子細線効果が明確に現れる80meVよりも小さくなり、むしろInGaAs量子細線が自己組織的に自然形成し難くなる。例えば図2に示すように、（GaAs）<sub>n</sub>/（InAs）<sub>m</sub>超格子の構成比[m=n≤1.0]の領域では（GaAs）<sub>n</sub>/（InAs）<sub>n</sub>超格子の薄膜が形成されるだけで、InGaAs量子細線が自己組織的に形成されることがない（薄膜領域）。また構成比が[2.0≤m=n]の領域では、（GaAs）<sub>n</sub>/（InAs）<sub>n</sub>超格子の結晶成長時に自己組織的に形成されるInGaAsがドット・ライク状となり、前した結晶性の問題と相俟って該InGaAs層をチャネル層として用いるに不適となる（ドット・ライク領域）。そして上記構成比が[1.0<m=n<2.0]の領域においてのみ（GaAs）<sub>n</sub>/（InAs）<sub>m</sub>超格子の結晶成長時にInGaAs量子細線が自己組織的に形成され（細線領域）。またこの際、上記細線領域において自己組織的に形成されるInGaAs量子細線層は、図2に示すように（GaAs）<sub>n</sub>/（InAs）<sub>m</sub>超格子の構成比の値m, nに依存し、例えば5nmから18nm程度に亘って変化する。特に前述した結晶性の問題を考慮して構成比を[1.0<m=n<1.8]とした場合、InGaAs量子細線層は5nm～18nmの範囲で変化する。

【0017】一方、上記InGaAs量子細線形状の均一性は、その指標の1つであるPL半価幅を用いて評価することができ、（GaAs）<sub>n</sub>/（InAs）<sub>m</sub>超格子の構成比の値m, nに依存して、例えば図3に示すような変化傾向を有する。特に上記構成比m, nが[1.6]程度であるとき、PL半価幅が最小となり、InGaAs量子細線形状の均一性が高くなることが確認できた。

【0018】以上のことから本発明では、チャネル層と

して用いる  $InGaAs$  量子細線層の良好な結晶性を確保し、且つ量子細線効果を十分に発揮させるべく  $InGaAs$  量子細線層を自己組織的に形成する上での  $(GaAs)_m/(InAs)_n$  超格子の構成比  $m, n$  を  $[1.0 < m < 1.8]$ ,  $[1.0 < n < 1.8]$  として定めている。またこれによつて自然形成される  $InGaAs$  量子細線層における Ga の組成は、図 4 に示すように上記構成比の値に応じて ±20 % から 4.5 % の範囲で変化する。この組成については X 線回折や PL 法を用いて分析された。尚、上記構成比  $m, n$  の値については、前述した MBE 法や MOCVD 法等の結晶成長技術を用いることで 5 % 程度の誤差精度で容易に制御することができる。

【0019】ちなみに本実施形態においては、上記  $n - In_{0.4}Ga_{0.6}As$  量子細線チャネル層 3 を実現するべく、前記  $InP$  基板 1 上に  $(GaAs)_{1.5}/(InAs)_{1.5}$  短周期超格子を結晶成長させた。そして上記  $n - In_{0.4}Ga_{0.6}As$  量子細線チャネル層 3 を断面 TEM 觀察したことより、細線幅 1.0 nm の量子細線構造が得られていることが確認された。

【0020】かくして上述した如くして  $InP$  基板 1 上に形成した  $n - In_{0.4}Ga_{0.6}As$  量子細線層をチャネル層 3 とした電界効果トランジスタによれば、材料的に上記チャネル層 3 での電子移動度を  $8,000 \sim 10,000 \text{ cm}^2/\text{V s}$  程度に高めることができる。しかも該チャネル層 3 を量子細線構造をしているので、その電子移動度を更にその 2 倍程度、即ち、 $16,000 \sim 20,000 \text{ cm}^2/\text{V s}$  程度に拡大させることができる。従って電子デバイスとしての性能（動作速度）を飛躍的に高めることが可能となる。

【0021】特に電子デバイスの性能指標の 1 つである遮断周波数は、その相互コンダクタンス  $g_m$  に比例し、またこの相互コンダクタンス  $g_m$  は上記電子移動度に比例するので、上述した如く  $InGaAs$  量子細線層をチャネル層 3 とした電界効果トランジスタによれば、その周波数特性の大大幅な改善を図ることが可能となる。しかも上記量子細線構造を有する  $InGaAs$  量子細線チャネル層 3 については、1 回の結晶成長だけで実現できるので、従来のリソグラフィー技術を用いた電界効果トランジスタの製作法に比較してその素子構造を容易に変更することができ、また結晶損傷を招くこともない。そして結晶性の良好な高性能な電界効果トランジスタとして容易に製作可能である等の利点がある。

【0022】尚、本発明は上述した実施形態に限定されるものではない。例えば要求される仕様に応じてキャリア濃度や膜厚等の基本パラメータを調整可能などとは言うまでもない。また HEMT のようにキャリア供給層と

キャリア走行層とを分離し、ノンドープ  $InGaAs$  量子細線層に 1 次元電子ガスを閉じ込めるような素子構造とすることもできる。また  $(GaAs)_m/(InAs)_n$  短周期超格子に代えて  $(GaAs)_m/(InAs)_n$  超格子の構成比  $m, n$  を前述した範囲で代えて量子細線幅および層厚の異なる  $InGaAs$  量子細線チャネル等を備えた電界効果トランジスタを実現することも勿論可能である。その他、本発明はその要旨を逸脱しない範囲で種々変形して実施することができる。

### 【0023】

【発明の効果】以上説明したように本発明によれば、 $InP$  基板上に  $(GaAs)_m/(InAs)_n$  超格子を結晶成長させた際に自己組織的に形成される  $InGaAs$  量子細線をチャネル層としているので、電子移動度の高い高性能で周波数特性の優れた電界効果トランジスタを提供することができる。

【0024】特に請求項 2 に記載するように  $(GaAs)_m/(InAs)_n$  超格子の構成比  $m, n$  を  $[1.0 < m < 1.8]$ ,  $[1.0 < n < 1.8]$  とし、 $InGaAs$  量子細線の線幅を  $5 \sim 15 \text{ nm}$ 、層厚を  $5 \sim 15 \text{ nm}$  としているので、また請求項 3 に記載するように前記  $InGaAs$  量子細線における Ga の組成を  $2.0 \sim 4.5\%$  としているので、量子細線効果が顕著に現れる高性能な電子デバイスを実現することができる。

### 【図面の簡単な説明】

【図 1】本発明の一実施形態に係る電界効果トランジスタの概略的な素子構造を示す図。

【図 2】 $(GaAs)_m/(InAs)_n$  超格子の構成比  $m, n$  に対する  $InGaAs$  量子細線の自己組織的な形成領域と、量子細線幅の変化を示す図。

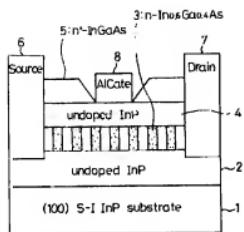
【図 3】 $(GaAs)_m/(InAs)_n$  超格子の構成比  $m, n$  に依存する  $InGaAs$  量子細線形状の均一性を評価する指標としての PL 半価幅の変化を示す図。

【図 4】 $(GaAs)_m/(InAs)_n$  超格子の構成比  $m, n$  に依存する  $InGaAs$  量子細線層における Ga の組成の変化を示す図。

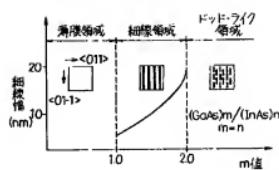
### 【符号の説明】

- 1 (110) 半絶縁性  $InP$  基板
- 2  $InP$  バッファ層（ノンドープ）
- 3  $n - In_{0.4}Ga_{0.6}As$  量子細線チャネル層
- 4  $InP$  ショットキーコンタクト層（ノンドープ）
- 5  $n - InGaAs$  キャップ層
- 6 ソース電極
- 7 ドレイン電極
- 8 AI ゲート電極

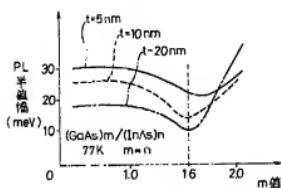
【図1】



【図2】



【図3】



【図4】

